

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月22日
Date of Application:

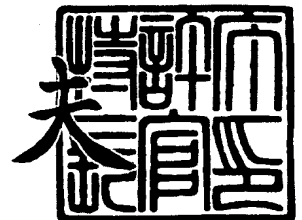
出願番号 特願2003-145199
Application Number:
[ST. 10/C]: [JP 2003-145199]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年11月21日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 J0099548

【提出日】 平成15年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 塩澤 雅邦

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 青▲柳▼ 哲理

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100066980

【弁理士】

【氏名又は名称】 森 哲也

【選任した代理人】

【識別番号】 100075579

【弁理士】

【氏名又は名称】 内藤 嘉昭

【選任した代理人】

【識別番号】 100103850

【弁理士】

【氏名又は名称】 崔 秀▲てつ▼

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 83070

【出願日】 平成15年 3月25日

【手数料の表示】

【予納台帳番号】 001638

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 第 1 半導体チップが搭載された第 1 半導体パッケージと、
第 2 半導体チップが搭載された第 2 半導体パッケージと、
前記第 2 半導体パッケージが前記第 1 半導体チップ上に保持されるように、前記第 1 半導体パッケージと前記第 2 半導体パッケージとを接続する突出電極と、
前記第 1 半導体チップの表面の少なくとも一部を避けるように配置され、前記第 1 半導体パッケージと前記第 2 半導体パッケージとの間に設けられた樹脂とを備えることを特徴とする半導体装置。

【請求項 2】 前記突出電極はハンダボールであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記樹脂は前記突出電極に接触しないようにして、前記第 1 半導体パッケージと前記第 2 半導体パッケージとの間に配置されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記樹脂は前記第 2 半導体パッケージの隅にのみ配置されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記第 1 半導体パッケージおよび前記第 2 半導体パッケージには、前記樹脂の配置位置に対応して突出電極の未配置領域が設けられていることを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】 前記樹脂は前記突出電極の周囲に接触した状態で配置されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 7】 前記樹脂はフラックスを含むことを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記第 1 半導体パッケージは、
第 1 キャリア基板と、
前記第 1 キャリア基板上にフリップチップ実装された第 1 半導体チップとを備え、

前記第 2 半導体パッケージは、
前記突出電極を介し、前記第 1 半導体チップ上に保持されるように前記第 1 キャリア基板上に実装された第 2 キャリア基板と、
前記第 2 キャリア基板上に搭載された第 2 半導体チップと、
前記第 2 半導体チップを封止する封止材とを備えることを特徴とする請求項 1 ～ 7 のいずれか 1 項記載の半導体装置。

【請求項 9】 前記第 1 半導体パッケージは、前記第 1 キャリア基板上に前記第 1 半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第 2 半導体パッケージは、前記第 2 キャリア基板上に搭載された第 2 半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 第 1 電子部品が搭載された第 1 パッケージと、
第 2 電子部品が搭載された第 2 パッケージと、
前記第 2 パッケージが前記第 1 電子部品上に保持されるように、前記第 1 パッケージと前記第 2 パッケージとを接続する突出電極と、
前記第 1 電子部品の表面の少なくとも一部を避けるように配置され、前記第 1 パッケージと前記第 2 パッケージとの間に設けられた樹脂とを備えることを特徴とする電子デバイス。

【請求項 11】 第 1 半導体チップが搭載された第 1 半導体パッケージと、
第 2 半導体チップが搭載された第 2 半導体パッケージと、
前記第 2 半導体パッケージが前記第 1 半導体チップ上に保持されるように、前記第 1 半導体パッケージと前記第 2 半導体パッケージとを接続する突出電極と、
前記第 1 半導体チップの表面の少なくとも一部を避けるように配置され、前記第 1 半導体パッケージと前記第 2 半導体パッケージとの間に設けられた樹脂と、
前記第 2 半導体パッケージに接続された前記第 1 半導体パッケージを搭載するマザー基板と、
前記マザー基板を介して前記第 1 半導体チップおよび前記第 2 半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項 12】 第 1 半導体チップが搭載された第 1 半導体パッケージと第

2 半導体チップが搭載された第 2 半導体パッケージとを突出電極を介して接続する工程と、

前記第 1 半導体チップの表面の少なくとも一部を避けるようにして、前記第 1 半導体パッケージと前記第 2 半導体パッケージとの間に樹脂を設ける工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 13】 前記樹脂は前記突出電極に接触しないようにして、前記第 1 半導体パッケージと前記第 2 半導体パッケージとの間に配置されていることを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 14】 前記樹脂は前記第 2 半導体パッケージの隅にのみ配置されていることを特徴とする請求項 13 記載の半導体装置の製造方法。

【請求項 15】 第 1 半導体パッケージに設けられたランド上に樹脂入りフラックスを供給する工程と、

第 2 半導体パッケージに設けられたハンダボールを前記樹脂入りフラックスが供給されたランド上に配置する工程と、

リフロー処理を行うことにより前記ハンダボールを溶融させ、前記ハンダボールを前記ランド上に接合するとともに、前記樹脂入りフラックスに入っている樹脂を前記ハンダボールの表面に沿って這い上がらせる工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、電子デバイス、電子機器および半導体装置の製造方法に関し、特に、半導体パッケージの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体パッケージでは、例えば、特許文献 1 に開示されているように、ハンダボールを介して半導体パッケージを積層することにより、省スペース化を図ることが行われている。ここで、積層された半導体パッケージを 2 次実装する際に、半導体パッケージ間のハンダボールが再溶融して位置ずれが発生すること

を防止するため、積層された半導体パッケージ間に樹脂を充填することが行われている。

【0003】

【特許文献1】

特開平6-13541号公報

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体パッケージでは、ハンダボールを介して積層された半導体パッケージ間の隙間全体に樹脂が充填される。このため、半導体パッケージ間に充填された樹脂をキュアする際に、樹脂に含まれる水分が十分に抜け切らず、半導体パッケージ間に充填された樹脂に水分が残留する。このため、積層された半導体パッケージの2次実装時の再リフロー時に、半導体パッケージ間に充填された樹脂に含まれる水分が気化して膨張し、半導体パッケージ間で剥離が発生することがあるという問題があった。

【0005】

そこで、本発明の目的は、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、半導体パッケージ間の剥離を抑止することが可能な半導体装置、電子デバイス、電子機器および半導体装置の製造方法を提供することである。

【0006】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第1半導体チップが搭載された第1半導体パッケージと、第2半導体チップが搭載された第2半導体パッケージと、前記第2半導体パッケージが前記第1半導体チップ上に保持されるように、前記第1半導体パッケージと前記第2半導体パッケージとを接続する突出電極と、前記第1半導体チップの表面の少なくとも一部を避けるように配置され、前記第1半導体パッケージと前記第2半導体パッケージとの間に設けられた樹脂とを備えることを特徴とする。

【0007】

これにより、突出電極を介して接続された第1半導体パッケージと第2半導体

パッケージとの間に隙間を残したままの状態、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となる。このため、第1半導体パッケージと第2半導体パッケージとの間の樹脂に含まれる水分を抜け出し易くすることが可能となり、2次実装時の再リフロー時に、第1半導体パッケージと第2半導体パッケージとの間の樹脂が膨張することを抑制することが可能となる。この結果、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することを可能としつつ、第1半導体パッケージと前記第2半導体パッケージとを樹脂で固着させることが可能となり、2次実装時に突出電極の再リフローが行われる場合においても、第1半導体パッケージと第2半導体パッケージとの間の位置ずれを防止することが可能となる。

【0008】

また、本発明の一態様に係る半導体装置によれば、前記突出電極はハンダボールであることを特徴とする。

これにより、リフロー処理を行うことで、第1半導体パッケージと第2半導体パッケージとを電氣的に接続することが可能となり、第2半導体パッケージを第1半導体パッケージ上に効率よく実装することが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記樹脂は前記突出電極に接触しないようにして、前記第1半導体パッケージと前記第2半導体パッケージとの間に配置されていることを特徴とする。

これにより、突出電極を介して接続された第1半導体パッケージと第2半導体パッケージとの間に隙間を残したままの状態、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となるとともに、突出電極のリフロー処理が行われる場合においても、樹脂への熱的ダメージを抑制することが可能となる。このため、樹脂の耐熱性を低下させることを可能として、吸湿性の低い樹脂を選択することが可能となり、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、半導体パッケージ間の剥離を抑止することが可能となる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記樹脂は前記第2半導体パッケージの隅にのみ配置されていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の隙間が狭い場合においても、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となる。このため、製造工程の煩雑化を抑制しつつ、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ間の剥離を抑止することが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージおよび前記第2半導体パッケージには、前記樹脂の配置位置に対応して突出電極の未配置領域が設けられていることを特徴とする。

これにより、突出電極が密集して配置される場合においても、突出電極に接触することなく、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となる。このため、多端子化に対応することを可能としつつ、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ間の剥離を抑止することが可能となる。

【0012】

また、本発明の一態様に係る半導体装置によれば、前記樹脂は前記突出電極の周囲に接触した状態で配置されていることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージとの間に隙間が残るようにして、第1半導体パッケージと第2半導体パッケージとの間に樹脂を設ける場合においても、樹脂と突出電極との間に間隔を設ける必要がなくなる。このため、第1半導体パッケージおよび第2半導体パッケージとの間に突出電極と個別に樹脂を配置するための領域を確保する必要がなくなり、突出電極の配置に影響を及ぼすことなく、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となる。この結果、突出電極の配置数の減少を抑制しつつ、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ間の剥離を抑止することが可能となる。

。

【0013】

また、本発明の一態様に係る半導体装置によれば、前記樹脂はフラックスを含むことを特徴とする。

これにより、ハンダリフロー時に、ハンダの周囲に樹脂を這い上がらせることを可能としつつ、ハンダによる接合を安定して行うことが可能となる。このためリフロー処理を行うことで、突出電極の周囲に接触した状態で樹脂を配置することが可能となり、製造工程を煩雑化させることなく、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ間の剥離を抑止することが可能となる。

【0014】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1半導体チップとを備え、前記第2半導体パッケージは、前記突出電極を介し、前記第1半導体チップ上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0015】

これにより、第1半導体パッケージおよび第2半導体パッケージの種類が異なる場合においても、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、第1半導体パッケージおよび第2半導体パッケージとの間の剥離を抑止することが可能となり、省スペース化を可能としつつ、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることができる。

【0016】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

【0017】

これにより、汎用パッケージを用いた場合においても、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、第1半導体パッケージおよび第2半導体パッケージとの間の剥離を抑止することが可能となり、生産効率を劣化させることなく、異種パッケージ間の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る電子デバイスによれば、第1電子部品が搭載された第1パッケージと、第2電子部品が搭載された第2パッケージと、前記第2パッケージが前記第1電子部品上に保持されるように、前記第1パッケージと前記第2パッケージとを接続する突出電極と、前記第1電子部品の表面の少なくとも一部を避けるように配置され、前記第1パッケージと前記第2パッケージとの間に設けられた樹脂とを備えることを特徴とする。

【0018】

これにより、突出電極を介して接続された第1パッケージと第2パッケージとの間に隙間を残したままの状態、第1パッケージと第2パッケージとの間に樹脂を充填することが可能となる。このため、第1パッケージと第2パッケージとの間の剥離を抑止することを可能としつつ、第1パッケージと前記第2パッケージとを樹脂で固着させることが可能となり、2次実装時に突出電極の再リフローが行われる場合においても、第1パッケージと第2パッケージとの間の位置ずれを防止することが可能となる。

【0019】

また、本発明の一態様に係る電子機器によれば、第1半導体チップが搭載された第1半導体パッケージと、第2半導体チップが搭載された第2半導体パッケージと、前記第2半導体パッケージが前記第1半導体チップ上に保持されるように、前記第1半導体パッケージと前記第2半導体パッケージとを接続する突出電極と、前記第1半導体チップの表面の少なくとも一部を避けるように配置され、前記第1半導体パッケージと前記第2半導体パッケージとの間に設けられた樹脂と、前記第2半導体パッケージに接続された前記第1半導体パッケージを搭載するマザー基板と、前記マザー基板を介して前記第1半導体チップおよび前記第2半導体チップに接続された電子部品とを備えることを特徴とする。

【0020】

これにより、積層された半導体パッケージの信頼性の劣化を抑制しつつ、2次実装時の半導体パッケージの位置ずれを防止することが可能となり、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体チップが搭載された第1半導体パッケージと第2半導体チップが搭載された第2半導体パッケージとを突出電極を介して接続する工程と、前記第1半導体チップの表面の少なくとも一部を避けるようにして、前記第1半導体パッケージと前記第2半導体パッケージとの間に樹脂を設ける工程とを備えることを特徴とする。

【0021】

これにより、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填した場合においても、突出電極を介して接続された第1半導体パッケージと第2半導体パッケージとの間に隙間を残すことが可能となり、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することが可能となる。

【0022】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記樹脂は前記突出電極に接触しないようにして、前記第1半導体パッケージと前記第2半導体パッケージとの間に配置されていることを特徴とする。

これにより、突出電極のリフロー処理が行われる場合においても、樹脂への熱的ダメージを抑制することが可能となり、樹脂の耐熱性を低下させることを可能として、吸湿性の低い樹脂を選択することが可能となる。

【0023】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記樹脂は前記第2半導体パッケージの隅にのみ配置されていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の隙間が狭い場合においても、製造工程の煩雑化を抑制しつつ、第1半導体パッケージと第2半導体パッケージとの間に樹脂を効率よく充填することが可能となる。

【0024】

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体パッ

ケージに設けられたランド上に樹脂入りフラックスを供給する工程と、第2半導体パッケージに設けられたハンダボールを前記樹脂入りフラックスが供給されたランド上に配置する工程と、リフロー処理を行うことにより前記ハンダボールを溶融させ、前記ハンダボールを前記ランド上に接合するとともに、前記樹脂入りフラックスに入っている樹脂を前記ハンダボールの表面に沿って這い上がらせる工程とを備えることを特徴とする。

【0025】

これにより、ハンダボールのリフロー処理を行うことで、突出電極の周囲に接触した状態で樹脂を配置することが可能となり、製造工程を煩雑化させることなく、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することが可能となる。

【0026】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の概略構成を示す断面図である。

【0027】

図1において、半導体パッケージPK1にはキャリア基板1が設けられ、キャリア基板1の両面にはランド2a、2bがそれぞれ形成されている。そして、キャリア基板1上には半導体チップ3がフリップチップ実装され、半導体チップ3には、フリップチップ実装するための突出電極4が設けられている。そして、半導体チップ3に設けられた突出電極4は、異方性導電シート5を介してランド2b上にACF (Anisotropic Conductive Film) 接合されている。

【0028】

一方、半導体パッケージPK2にはキャリア基板11が設けられ、キャリア基板11の裏面にはランド12が形成され、ランド12上には突出電極13が設け

られている。また、キャリア基板 11 上には半導体チップが実装され、半導体チップが実装されたキャリア基板 11 は、封止樹脂 14 で封止されている。なお、キャリア基板 11 上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0029】

そして、キャリア基板 1 上に設けられたランド 2b に突出電極 13 を接合させることにより、キャリア基板 11 が半導体チップ 3 上に配置されるようにして、半導体パッケージ PK2 が半導体パッケージ PK1 上に実装されている。

また、半導体パッケージ PK1、PK2 間には、半導体チップ 3 に接触しないようにして、樹脂 15 が設けられている。ここで、樹脂 15 は、突出電極 13 に個々に接触するようにして、突出電極 13 の周囲に設けることができる。

【0030】

これにより、突出電極 13 を介して接続された半導体パッケージ PK1、PK2 間に隙間を残したままの状態、半導体パッケージ PK1、PK2 間に樹脂 15 を設けることが可能となる。このため、半導体パッケージ PK1、PK2 間の樹脂 15 に含まれる水分を抜け出し易くすることが可能となり、2 次実装時の再リフロー時に、半導体パッケージ PK1、PK2 間の樹脂 15 が膨張することを抑制することが可能となる。この結果、半導体パッケージ PK1、PK2 間の剥離を抑止することを可能としつつ、半導体パッケージ PK1、PK2 を互いに樹脂 15 で固着させることが可能となり、2 次実装時に突出電極 13 の再リフローが行われる場合においても、半導体パッケージ PK1、PK2 間の位置ずれを防止することが可能となる。

【0031】

また、突出電極 13 に個々に接触するようにして、突出電極 13 の周囲に樹脂 15 を設けることにより、半導体パッケージ PK1、PK2 間に隙間が残るようにして、半導体パッケージ PK1、PK2 間に樹脂 15 を設けた場合においても、樹脂 15 と突出電極 13 との間に間隔を空ける必要がなくなる。このため、半導体パッケージ PK1、PK2 間に突出電極 13 と個別に樹脂 15 を配置するた

めの領域を確保する必要がなくなり、突出電極 13 の配置数の減少を抑制しつつ、半導体パッケージ PK1、PK2 間に樹脂 15 を設けることが可能となる。

【0032】

なお、キャリア基板 1、11 としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板 1、11 の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BT レジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極 4、6、13 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいはハンダボールなどを用いることができる。

【0033】

さらに、突出電極 13 を介して半導体パッケージ PK1、PK2 を互いに接合させる場合、半田接合や合金接合などの金属接合を用いるようにしてもよく、ACF 接合、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste) 接合などの圧接接合を用いるようにしてもよい。

【0034】

図 2 は、図 1 の半導体装置の製造方法の一例を示す断面図である。

図 2 (a) において、半導体パッケージ PK1 上に半導体パッケージ PK2 を積層する場合、半導体パッケージ PK2 のランド 12 上に、突出電極 13 としてハンダボールを形成するとともに、キャリア基板 1 のランド 2b 上にアンダーフィルフラックス 7 を供給する。なお、アンダーフィルフラックス 7 は、樹脂が混入されたフラックスで、熱硬化性樹脂をベースにハンダ付けと接着とを同時に行うことができる。

【0035】

次に、図 2 (b) に示すように、半導体パッケージ PK1 上に半導体パッケージ PK2 をマウントする。そして、突出電極 13 のリフロー処理を行うことにより、突出電極 13 を溶融させ、突出電極 13 をランド 2b 上に接合させるととも

に、アンダーフィルフラックス 7 に入っている樹脂を突出電極 13 に沿って這い上がらせ、突出電極 13 の周囲に接触するようにして、半導体パッケージ P K 1、P K 2 間に樹脂 15 を形成する。

【0036】

ここで、アンダーフィルフラックス 7 を用いることで、突出電極 13 のリフロー処理を行うことにより、突出電極 13 の周囲に接触した状態で樹脂 15 を配置することが可能となり、製造工程を煩雑化させることなく、半導体パッケージ P K 1、P K 2 間の隙間に樹脂 15 を形成することができる。

また、アンダーフィルフラックス 7 の他にアンダーフィルペースト（熱硬化性の樹脂を含むハンダペースト）を用いても良い。

【0037】

また、突出電極 13 の周囲に樹脂 15 を設けることにより、樹脂 15 に含まれる水分を逃がすための隙間を確保しつつ、半導体パッケージ P K 1、P K 2 間に樹脂 15 を設けることが可能となり、樹脂 15 に含まれる水分の残留量を減らすことが可能となる。

次に、図 2（c）に示すように、キャリア基板 1 の裏面に設けられたランド 2 a 上に、キャリア基板 1 をマザー基板 8 上に実装するための突出電極 6 を形成する。

【0038】

次に、図 2（d）に示すように、突出電極 6 が形成されたキャリア基板 1 をマザー基板 8 上にマウントする。そして、突出電極 6 のリフロー処理を行うことにより、突出電極 6 をマザー基板 8 のランド 9 上に接合させる。

ここで、半導体パッケージ P K 1、P K 2 間の樹脂 15 に含まれる水分がほとんど除去された状態で、突出電極 6 のリフロー処理を行うことができる。このため、突出電極 6 のリフロー時に樹脂 15 が膨張することを抑制することが可能となり、半導体パッケージ P K 1、P K 2 が互いに剥離することを防止することが可能となる。また、突出電極 6 のリフロー時に突出電極 13 の再リフローが行われる場合においても、半導体パッケージ P K 1、P K 2 が樹脂 15 で互いに固定されたままの状態を維持することが可能となり、半導体パッケージ P K 1、P K

2 間の位置ずれを防止することが可能となる。

【0039】

なお、上述した実施形態では、半導体パッケージ P K 2 を半導体パッケージ P K 1 上に実装するために、キャリア基板 1 のランド 2 b 上に突出電極 1 3 を設けるとともに、キャリア基板 1 1 のランド 1 2 上にアンダーフィルフラックス 7 を供給する方法について説明したが、キャリア基板 1 のランド 2 b 上にアンダーフィルフラックス 7 を供給するとともに、キャリア基板 1 1 のランド 1 2 上に突出電極 1 3 を設けるようにしてもよい。また、上述した実施形態では、アンダーフィルフラックス 7 を用いることにより、突出電極 1 3 に個々に接触するようにして、突出電極 1 3 の周囲に樹脂 1 5 設ける方法について説明したが、必ずしもアンダーフィルフラックス 7 を用いる必要はなく、例えば、突出電極 1 3 を介して半導体パッケージ P K 1、P K 2 を接合した後に、突出電極 1 3 の周囲に樹脂を充填するようにしてもよい。また、上述した実施形態では、突出電極 1 3 間で樹脂 1 5 が分断されるようにして突出電極 1 3 の周囲に樹脂 1 5 を設ける方法について説明したが、複数の突出電極 1 3 の間で樹脂が繋がっていてもよい。また、また、上述した実施形態では、半導体パッケージ P K 1、P K 2 間に設けられた全ての突出電極 1 3 の周囲に樹脂 1 5 を設ける方法について説明したが、半導体パッケージ P K 1、P K 2 間に設けられた一部の突出電極 1 3 の周囲にのみ樹脂を設けるようにしてもよい。さらに、突出電極 1 3 の周囲に樹脂を設ける場合、突出電極 1 3 の配置位置に対応して型取られた樹脂シートを介して、突出電極 1 3 を接合させるようにしてもよい。

【0040】

図 3 は、本発明の第 2 実施形態に係る半導体装置の概略構成を示す断面図である。

図 3 において、半導体パッケージ P K 1 1 にはキャリア基板 2 1 が設けられ、キャリア基板 2 1 の両面にはランド 2 2 a、2 2 c がそれぞれ形成されるとともに、キャリア基板 2 1 内には内部配線 2 2 b が形成されている。そして、キャリア基板 2 1 上には半導体チップ 2 3 がフリップチップ実装され、半導体チップ 2 3 には、フリップチップ実装するための突出電極 2 4 が設けられている。そして

、半導体チップ 23 に設けられた突出電極 24 は、異方性導電シート 25 を介してランド 22c 上に ACF 接合されている。また、キャリア基板 21 の裏面に設けられたランド 22a 上には、キャリア基板 21 をマザー基板上に実装するための突出電極 26 が設けられている。

【0041】

一方、半導体パッケージ PK12 にはキャリア基板 31 が設けられ、キャリア基板 31 の両面にはランド 32a、32c がそれぞれ形成されるとともに、キャリア基板 31 内には内部配線 32b が形成されている。そして、キャリア基板 31 上には、接着層 34a を介し半導体チップ 33a がフェースアップ実装され、半導体チップ 33a は、導電性ワイヤ 35a を介してランド 32c にワイヤボンダ接続されている。さらに、半導体チップ 33a 上には、導電性ワイヤ 35a を避けるようにして、半導体チップ 33b がフェースアップ実装され、半導体チップ 33b は、接着層 34b を介して半導体チップ 33a 上に固定されるとともに、導電性ワイヤ 35b を介してランド 32c にワイヤボンダ接続されている。

【0042】

また、キャリア基板 31 の裏面に設けられたランド 32a 上には、キャリア基板 31 が半導体チップ 23 上に保持されるようにして、キャリア基板 31 をキャリア基板 21 上に実装するための突出電極 36 が設けられている。ここで、突出電極 36 は、半導体チップ 23 の搭載領域を避けるようにして配置され、例えば、キャリア基板 31 の裏面の周囲に突出電極 36 を配置することができる。そして、キャリア基板 21 上に設けられたランド 22c に突出電極 36 を接合させることにより、キャリア基板 31 がキャリア基板 21 上に実装されている。

【0043】

また、半導体チップ 33a、33b の実装面側のキャリア基板 31 上には封止樹脂 37 が設けられ、この封止樹脂 37 により半導体チップ 33a、33b が封止されている。なお、封止樹脂 37 で半導体チップ 33a、33b を封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0044】

また、突出電極 36 を介して接合されたキャリア基板 21、31 間には、キャリア基板 21、31 間に隙間が残るようにして樹脂 38 が設けられている。ここで、樹脂 38 は、突出電極 36 に個々に接触するようにして、突出電極 36 の周囲に設けることができる。

これにより、異種パッケージを積層した場合においても、突出電極 36 を介して接続されたキャリア基板 21、31 間に隙間を残したままの状態、キャリア基板 21、31 間に樹脂 38 を設けることが可能となる。このため、サイズまたは種類の異なる半導体チップ 23、33a、33b を実装する際の省スペース化を図ることが可能となるとともに、積層された半導体パッケージ PK11、P12 の 2 次実装時の位置ずれを防止しつつ、半導体パッケージ PK11、P12 間の剥離を抑止することが可能となる。

【0045】

図 4 は、本発明の第 3 実施形態に係る半導体装置の概略構成を示す断面図である。

図 4 において、半導体パッケージ PK31 にはキャリア基板 41 が設けられ、キャリア基板 41 の両面にはランド 42a、42c がそれぞれ形成されるとともに、キャリア基板 41 内には内部配線 42b が形成されている。そして、キャリア基板 41 上には、半導体チップ 43 がフリップチップ実装され、半導体チップ 43 には、フリップチップ実装するための突出電極 44 が設けられている。そして、半導体チップ 43 に設けられた突出電極 44 は、異方性導電シート 45 を介してランド 42c 上に ACF 接合されている。また、キャリア基板 41 の裏面に設けられたランド 42a 上には、キャリア基板 41 をマザー基板上に実装するための突出電極 46 が設けられている。

【0046】

一方、半導体パッケージ PK32 には半導体チップ 51 が設けられ、半導体チップ 51 には、電極パッド 52 が設けられるとともに、電極パッド 52 が露出するようにして、絶縁膜 53 が設けられている。そして、半導体チップ 51 上には、電極パッド 52 が露出するようにして応力緩和層 54 が形成され、電極パッド 52 上には、応力緩和層 54 上に延伸された再配置配線 55 が形成されている。

そして、再配置配線 55 上にはソルダレジスト膜 56 が形成され、ソルダレジスト膜 56 には、応力緩和層 54 上において再配置配線 55 を露出させる開口部 57 が形成されている。そして、開口部 57 を介して露出された再配置配線 55 上には、半導体パッケージ PK32 が半導体チップ 53 上に保持されるように、半導体チップ 51 をキャリア基板 41 上にフェースダウン実装するための突出電極 58 が設けられている。

【0047】

ここで、突出電極 58 は、半導体チップ 43 の搭載領域を避けるようにして配置され、例えば、半導体チップ 51 の周囲に突出電極 58 を配置することができる。そして、キャリア基板 41 上に設けられたランド 42c 上に突出電極 58 が接合され、半導体パッケージ PK32 がキャリア基板 41 上に実装されている。

また、突出電極 58 を介して接合されたキャリア基板 41 と半導体チップ 51 との間には、キャリア基板 41 と半導体チップ 51 との間に隙間が残るようにして樹脂 59 が設けられている。ここで、樹脂 59 は、突出電極 58 に個々に接触するようにして、突出電極 58 の周囲に設けることができる。

【0048】

これにより、半導体パッケージ PK31 上に W-CSP（ウェハレベラーチップサイズパッケージ）を積層した場合においても、突出電極 58 を介して接合されたキャリア基板 41 と半導体チップ 51 との間に隙間を残したままの状態、キャリア基板 41 と半導体チップ 51 との間に樹脂 59 を設けることが可能となる。このため、半導体チップ 43、51 の種類またはサイズが異なる場合においても、半導体チップ 43、51 間にキャリア基板を介在させることなく、半導体チップ 43 上に半導体チップ 51 を 3 次元実装することが可能となるとともに、積層された半導体パッケージ PK31、P32 の 2 次実装時の位置ずれを防止しつつ、半導体パッケージ PK31、P32 間の剥離を抑止することが可能となる。この結果、3 次元実装された半導体チップ 43、51 の信頼性の劣化を抑制しつつ、半導体チップ 43、51 積層時の高さの増大を抑止することが可能となり、半導体チップ 43、51 実装時の省スペース化を図ることが可能となる。

【0049】

図5は、本発明の第4実施形態に係る半導体装置の概略構成を示す断面図である。

図5において、半導体パッケージPK41にはキャリア基板61が設けられ、キャリア基板61の両面にはランド62a、62bがそれぞれ形成されている。そして、キャリア基板61上には半導体チップ63がフリップチップ実装され、半導体チップ63には、フリップチップ実装するための突出電極64が設けられている。そして、半導体チップ63に設けられた突出電極64は、異方性導電シート65を介してランド62b上にACF接合されている。

【0050】

一方、半導体パッケージPK42にはキャリア基板71が設けられ、キャリア基板71の裏面にはランド72が形成され、ランド72上には突出電極73が設けられている。また、キャリア基板71上には半導体チップが実装され、半導体チップが実装されたキャリア基板71は、封止樹脂74で封止されている。なお、キャリア基板71上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0051】

そして、キャリア基板61上に設けられたランド62bに突出電極73を接合させることにより、キャリア基板71が半導体チップ63上に配置されるようにして、半導体パッケージPK42が半導体パッケージPK41上に実装されている。ここで、半導体パッケージPK42と半導体チップ63との間には樹脂76が設けられ、半導体パッケージPK42と半導体チップ63とは樹脂76を介して固着されている。

【0052】

また、半導体パッケージPK41、PK42間には樹脂75が設けられ、樹脂75は、突出電極73に個々に接触するようにして、突出電極73の周囲に設けることができる。

これにより、突出電極73を介して接続された半導体パッケージPK41、PK42間に隙間を残したままの状態、半導体パッケージPK41、PK42間

に樹脂 75 を設けることが可能となるとともに、半導体パッケージ P K 4 1、P K 4 2 間の接着強度を樹脂 76 で補強することが可能となる。このため、半導体パッケージ P K 4 1、P K 4 2 間に設けられた樹脂 75 の量が少ない場合においても、2 次実装時の突出電極 73 の再リフロー時に、半導体パッケージ P K 4 1、P K 4 2 間の位置ずれを防止することが可能となる。また、2 次実装時の突出電極 66 のリフロー時に、半導体パッケージ P K 4 1、P K 4 2 間の樹脂 75 が膨張することを抑制して、半導体パッケージ P K 4 1、P K 4 2 間の剥離を抑止することが可能となる。

【0053】

図 6 は、本発明の第 5 実施形態に係る半導体装置の概略構成を示す断面図である。

図 6 において、半導体パッケージ P K 5 1 にはキャリア基板 81 が設けられ、キャリア基板 81 の両面にはランド 82 a、82 b がそれぞれ形成されている。そして、キャリア基板 81 上には半導体チップ 83 がフリップチップ実装され、半導体チップ 83 には、フリップチップ実装するための突出電極 84 が設けられている。そして、半導体チップ 83 に設けられた突出電極 84 は、異方性導電シート 85 を介してランド 82 b 上に A C F 接合されている。

【0054】

一方、半導体パッケージ P K 5 2 にはキャリア基板 91 が設けられ、キャリア基板 91 の裏面にはランド 92 が形成され、ランド 92 上には突出電極 93 が設けられている。また、キャリア基板 91 上には半導体チップが実装され、半導体チップが実装されたキャリア基板 91 は、封止樹脂 94 で封止されている。なお、キャリア基板 91 上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0055】

そして、キャリア基板 81 上に設けられたランド 82 b に突出電極 93 を接合させることにより、キャリア基板 91 が半導体チップ 83 上に配置されるようにして、半導体パッケージ P K 5 2 が半導体パッケージ P K 5 1 上に実装されてい

る。

また、半導体パッケージ P K 5 1、P K 5 2 間には、突出電極 9 3 に接触しないようにして樹脂 9 5 が設けられ、樹脂 9 5 は、例えば、半導体パッケージ P K 5 2 の 4 隅にのみ配置することができる。また、半導体パッケージ P K 5 2 の辺に沿って樹脂 9 5 を配置するようにしてもよい。

【0056】

これにより、突出電極 9 3 を介して接続された半導体パッケージ P K 5 1、P K 5 2 間に隙間を残したままの状態、半導体パッケージ P K 5 1、P K 5 2 間に樹脂 9 5 を設けることが可能となるとともに、突出電極 9 3 のリフロー処理を行う場合においても、樹脂 9 5 への熱的ダメージを抑制することが可能となる。このため、樹脂 9 5 の耐熱性を低下させることを可能として、吸湿性の低い樹脂 9 5 を選択することが可能となり、積層された半導体パッケージ P K 5 1、P K 5 2 の信頼性を向上させることが可能となる。

【0057】

なお、突出電極 9 3 に接触しないようにして半導体パッケージ P K 5 1、P K 5 2 間に樹脂 9 5 を設けるため、樹脂 9 5 の配置位置に対応して突出電極 9 3 の未配置領域を設けるようにしてもよい。

これにより、突出電極 9 3 が密集して配置される場合においても、突出電極 9 3 に接触することなく、半導体パッケージ P K 5 1、P K 5 2 間に樹脂 9 5 を充填することが可能となる。このため、半導体パッケージ P K 5 1、P K 5 2 の多端子化に対応することを可能としつつ、積層された半導体パッケージ P K 5 1、P K 5 2 の 2 次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ P K 5 1、P K 5 2 間の剥離を抑止することが可能となる。

【0058】

図 7 は、図 6 の半導体装置の製造方法の一例を示す断面図である。

図 7 (a) において、半導体パッケージ P K 5 1 上に半導体パッケージ P K 5 2 を積層する場合、半導体パッケージ P K 5 2 のランド 9 2 上に、突出電極 9 3 としてハンダボールを形成するとともに、キャリア基板 8 1 のランド 8 2 b 上にフラックス 8 7 を供給する。なお、キャリア基板 8 1 のランド 8 2 b 上にフラッ

クス 87 を供給する代わりに、ハンダペーストを供給してもよい。

【0059】

次に、図 7 (b) に示すように、半導体パッケージ P K 5 1 上に半導体パッケージ P K 5 2 をマウントする。そして、突出電極 9 3 のリフロー処理を行うことにより、突出電極 9 3 を溶融させ、突出電極 9 3 をランド 8 2 b 上に接合させる。

次に、図 7 (c) に示すように、ディスペンサーなどを用いることにより、突出電極 9 3 に接触しないようにして半導体パッケージ P K 5 1、P K 5 2 間に樹脂 9 5 を注入し、樹脂 9 5 を硬化させる。

【0060】

ここで、突出電極 9 3 に接触しないようにして半導体パッケージ P K 5 1、P K 5 2 間に樹脂 9 5 を設けることにより、樹脂 9 5 に含まれる水分を逃がすための隙間を確保することが可能となり、半導体パッケージ P K 5 1、P K 5 2 を樹脂 9 5 で固定することを可能としつつ、樹脂 9 5 に含まれる水分の残留量を減らすことが可能となる。

【0061】

次に、図 7 (d) に示すように、キャリア基板 8 1 の裏面に設けられたランド 8 2 a 上に、キャリア基板 8 1 をマザー基板上に実装するための突出電極 8 6 を形成する。そして、突出電極 8 6 が形成されたキャリア基板 8 1 をマザー基板上にマウントし、突出電極 8 6 のリフロー処理を行うことにより、半導体パッケージ P K 5 1、P K 5 2 の積層構造をマザー基板上に実装することができる。

【0062】

ここで、半導体パッケージ P K 5 1、P K 5 2 間の樹脂 1 5 に含まれる水分がほとんど除去された状態で、突出電極 8 6 のリフロー処理を行うことができる。このため、突出電極 8 6 のリフロー時に樹脂 9 5 が膨張することを抑制することが可能となり、半導体パッケージ P K 5 1、P K 5 2 が互いに剥離することを防止することが可能となる。また、突出電極 8 6 のリフロー時に突出電極 9 3 の再リフローが行われる場合においても、半導体パッケージ P K 5 1、P K 5 2 が樹脂 9 5 で互いに固定されたままの状態を維持することが可能となり、半導体パッ

ケージ P K 5 1、P K 5 2 間の位置ずれを防止することが可能となる。

【0063】

図 8 (a) は、本発明の第 6 実施形態に係る半導体装置の概略構成を示す平面図、図 8 (b) は、本発明の第 7 実施形態に係る半導体装置の概略構成を示す平面図である。

図 8 (a) において、半導体パッケージ 101 には半導体チップ 102 が搭載されている。そして、突出電極 104 を介して半導体チップ 102 上に保持されるようにして、半導体パッケージ 103 が半導体パッケージ 101 上に実装されている。

【0064】

そして、半導体パッケージ 101、103 間には樹脂 105 が設けられ、樹脂 105 は、突出電極 104 に接触しないようにして、半導体パッケージ 103 の 4 隅に配置されている。また、突出電極 104 は、樹脂 105 の配置領域を避けるようにして、半導体パッケージ 103 に配置されている。

これにより、半導体パッケージ 101、103 間の隙間が狭い場合においても、半導体パッケージ 101、103 間に樹脂 105 を容易に充填することが可能となる。このため、製造工程の煩雑化を抑制しつつ、積層された半導体パッケージ 101、103 の 2 次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ 101、103 間の剥離を抑止することが可能となる。また、半導体パッケージ 103 の 4 隅に樹脂 105 を配置することにより、半導体パッケージ 103 にかかる応力を樹脂 105 で効率よく吸収することが可能となり、半導体パッケージ 103 の耐衝撃性を向上させることが可能となる。

【0065】

また、図 8 (b) において、半導体パッケージ 201 には半導体チップ 202 が搭載されている。そして、突出電極 204 を介して半導体チップ 202 上に保持されるようにして、半導体パッケージ 203 が半導体パッケージ 201 上に実装されている。

そして、半導体パッケージ 201、203 間には樹脂 205 が設けられ、樹脂 205 は、突出電極 204 に接触しないようにして、半導体パッケージ 203 の

辺の中央に配置されている。また、突出電極 204 は、樹脂 205 の配置領域を避けるようにして、半導体パッケージ 203 に配置されている。

【0066】

これにより、半導体パッケージ 201、203 間の隙間が狭い場合においても、半導体パッケージ 201、203 間に樹脂 205 を容易に充填することが可能となる。このため、製造工程の煩雑化を抑制しつつ、積層された半導体パッケージ 201、203 の 2 次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ 201、203 間の剥離を抑止することが可能となる。

【0067】

図 9 は、本発明の第 8 実施形態に係る半導体装置の製造方法の一例を示す断面図である。

図 9 (a) において、半導体パッケージ PK61 にはキャリア基板 301 が設けられ、キャリア基板 301 の両面にはランド 302a、302b がそれぞれ形成されている。そして、キャリア基板 301 上には半導体チップ 303 がフリップチップ実装され、半導体チップ 303 には、フリップチップ実装するための突出電極 304 が設けられている。そして、半導体チップ 303 に設けられた突出電極 304 は、異方性導電シート 305 を介してランド 302b 上に ACF 接合されている。

【0068】

一方、半導体パッケージ PK62 にはキャリア基板 311 が設けられ、キャリア基板 311 の裏面にはランド 312 が形成され、ランド 312 上には突出電極 313 が設けられている。また、キャリア基板 311 上には半導体チップが実装され、半導体チップが実装されたキャリア基板 311 は、封止樹脂 314 で封止されている。

【0069】

そして、半導体パッケージ PK61 上に半導体パッケージ PK62 を積層する場合、半導体パッケージ PK62 のランド 312 上に、突出電極 313 としてハンダボールを形成するとともに、キャリア基板 301 のランド 302b 上にフラックス 307 を供給する。なお、キャリア基板 301 のランド 302b 上にフラ

ックス 307 を供給する代わりに、ハンダペーストを供給してもよい。また、ディスペンサーなどを用いることにより、キャリア基板 301 上のランド 302b の配置されていない領域に樹脂 315 を供給する。

【0070】

次に、図 9 (b) に示すように、半導体パッケージ PK61 上に半導体パッケージ PK62 をマウントする。そして、突出電極 313 のリフロー処理を行うことにより、突出電極 313 を溶融させ、突出電極 313 をランド 302b 上に接合させる。ここで、突出電極 313 をランド 302b 上に接合させる場合、A ステージ状態（昇温により樹脂が軟化する状態）または B ステージ状態（昇温により樹脂粘度が高くなる状態）に樹脂 315 を維持することが好ましい。これにより、突出電極 313 の溶融時の表面張力により、突出電極 313 をランド 302b 上に自己整合的に配置することが可能となり、半導体パッケージ PK61 上に半導体パッケージ PK62 を精度よく配置することが可能となる。そして、突出電極 313 がランド 302b 上に接合されると、突出電極 313 のリフロー時の温度よりも低い温度で樹脂 315 をキュアし、樹脂 315 を C ステージ状態（硬化状態）に移行させる。

【0071】

ここで、半導体パッケージ PK61、PK62 間の隙間の一部に樹脂 315 を設けることにより、樹脂 315 に含まれる水分を逃がすための隙間を確保することが可能となり、半導体パッケージ PK61、PK62 を樹脂 315 で固定することを可能としつつ、樹脂 315 に含まれる水分の残留量を減らすことが可能となる。

【0072】

また、半導体パッケージ PK61 上に半導体パッケージ PK62 を積層する前に、半導体パッケージ PK61 上に樹脂 315 を供給することにより、積層後の半導体パッケージ PK61、PK62 間の隙間が狭い場合においても、半導体パッケージ PK61、PK62 間の任意の位置に樹脂 315 を容易に配置することが可能となる。このため、半導体チップ 303 および突出電極 313 の配置位置や、半導体パッケージ PK61、PK62 にかかる応力などの様々の要因を考慮

しつつ、半導体パッケージ P K 6 1、P K 6 2 間の一部に樹脂 3 1 5 を容易に設けることが可能となり、製造工程の煩雑化を抑制しつつ、半導体パッケージ P K 6 1、P K 6 2 の積層構造の信頼性を向上させることが可能となる。

【0073】

次に、図 9 (c) に示すように、キャリア基板 3 0 1 の裏面に設けられたランド 3 0 2 a 上に、キャリア基板 3 0 1 をマザー基板上に実装するための突出電極 3 0 6 を形成する。そして、突出電極 3 0 6 が形成されたキャリア基板 3 0 1 をマザー基板上にマウントし、突出電極 3 0 6 のリフロー処理を行うことにより、半導体パッケージ P K 6 1、P K 6 2 の積層構造をマザー基板上に実装することができる。

【0074】

ここで、半導体パッケージ P K 6 1、P K 6 2 間の樹脂 3 1 5 に含まれる水分がほとんど除去された状態で、突出電極 3 0 6 のリフロー処理を行うことができる。このため、突出電極 3 0 6 のリフロー時に樹脂 3 1 5 が膨張することを抑制することが可能となり、半導体パッケージ P K 6 1、P K 6 2 が互いに剥離することを防止することが可能となる。また、突出電極 3 0 6 のリフロー時に突出電極 3 1 3 の再リフローが行われる場合においても、半導体パッケージ P K 6 1、P K 6 2 が樹脂 3 1 5 で互いに固定されたままの状態を維持することが可能となり、半導体パッケージ P K 6 1、P K 6 2 間の位置ずれを防止することが可能となる。

【0075】

なお、上述した半導体装置は、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、上述した実施形態では、半導体パッケージを積層する方法を例にとって説明したが、本発明は、必ずしも半導体パッケージを積層する方法に限定されることがなく、例えば、弾性表面波 (SAW) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類など

を積層する方法に用いるようにしてもよい。

【図面の簡単な説明】

- 【図 1】 第 1 実施形態に係る半導体装置の概略構成を示す断面図。
【図 2】 図 1 の半導体装置の製造方法の一例を示す断面図。
【図 3】 第 2 実施形態に係る半導体装置の概略構成を示す断面図。
【図 4】 第 3 実施形態に係る半導体装置の概略構成を示す断面図。
【図 5】 第 4 実施形態に係る半導体装置の概略構成を示す断面図。
【図 6】 第 5 実施形態に係る半導体装置の概略構成を示す断面図。
【図 7】 図 6 の半導体装置の製造方法の一例を示す断面図。
【図 8】 第 6、第 7 実施形態に係る半導体装置の概略構成を示す平面図。
【図 9】 第 8 実施形態に係る半導体装置の製造方法の一例を示す断面図。

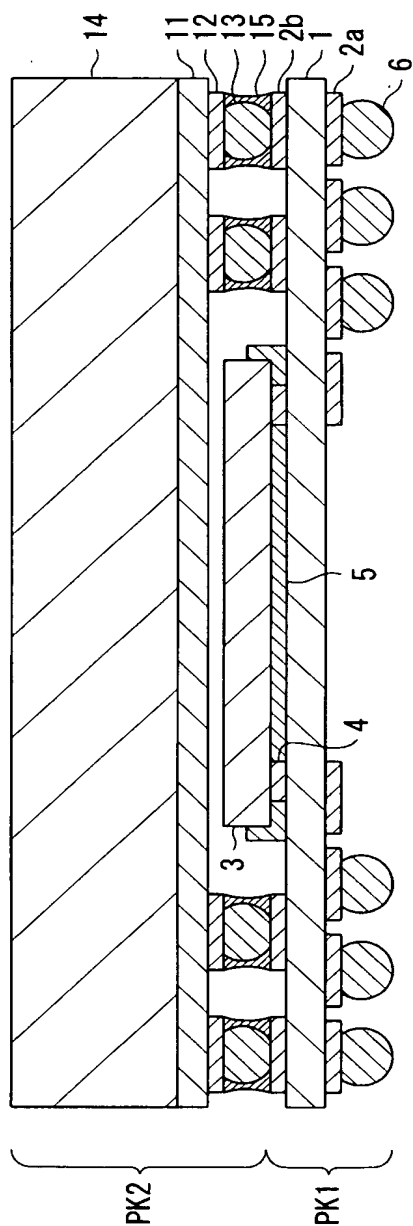
【符号の説明】

PK1、PK2、PK11、PK12、PK21、PK22、PK31、PK32、PK41、PK42、PK51、PK52、PK61、PK62、103、203 半導体パッケージ、1、11、21、31、41、61、71、81、91、101、201、301、311 キャリア基板、2a、2b、9、12、22a、22c、32a、32c、42a、42c、62a、62b、72、82a、82b、92、302a、302b、312 ランド、3、23、33a、33b、43、51、63、83、102、202、303 半導体チップ、4、13、24、26、36、44、46、58、64、66、73、84、86、93、104、204、304、313 突出電極、5、25、45、65、85、305 異方性導電シート、7 アンダーフィルフラックス、8 マザー基板、14、37、74、94、314 封止樹脂、15、38、59、75、76、95、105、205、315 樹脂、22b、32b、42b 内部配線、34a、34b 接着層、35a、35b 導電性ワイヤ、52 電極パッド、53 絶縁膜、54 応力緩和層、55 再配置配線、56 ソルダレジスト層、57 開口部、87、307 フラックス

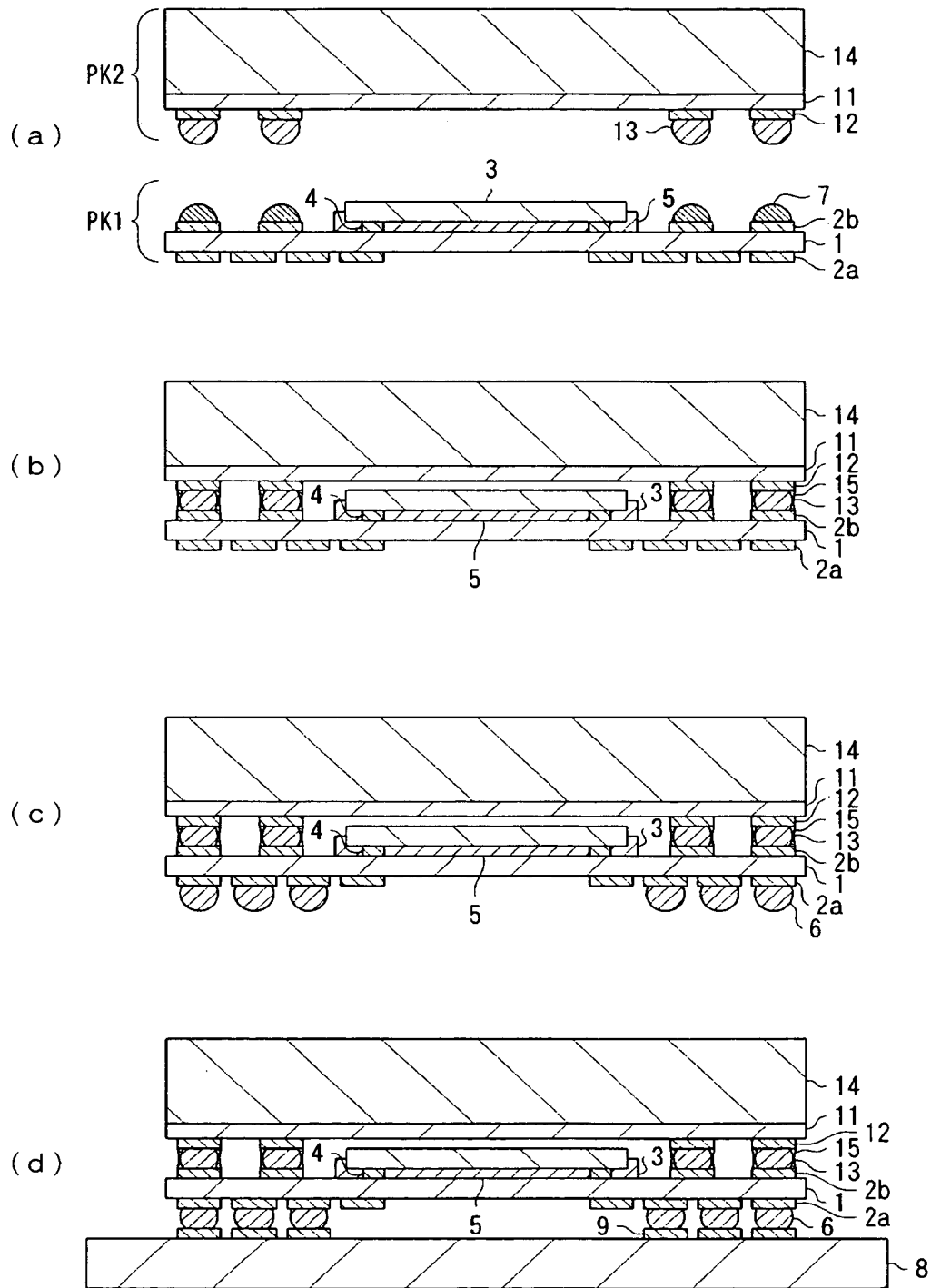
【書類名】

図面

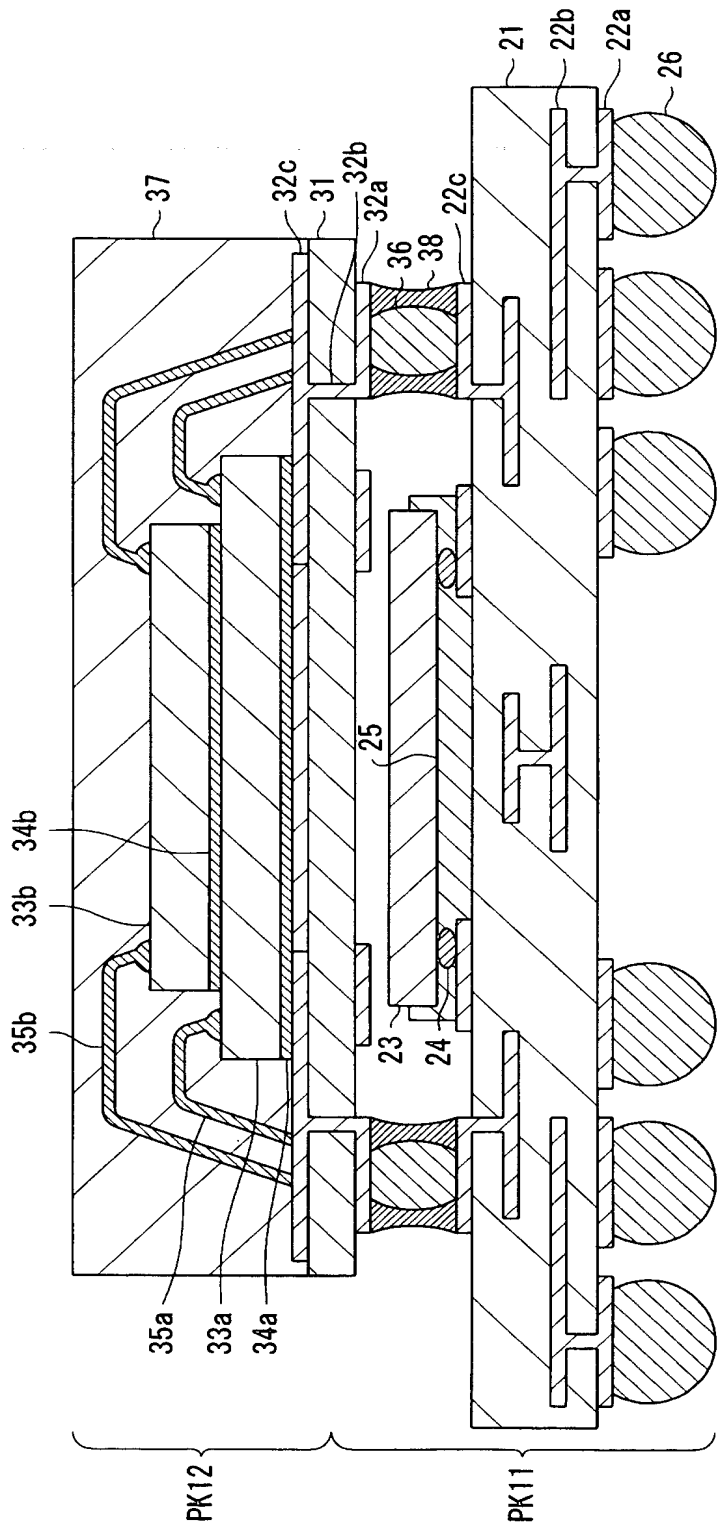
【図 1】



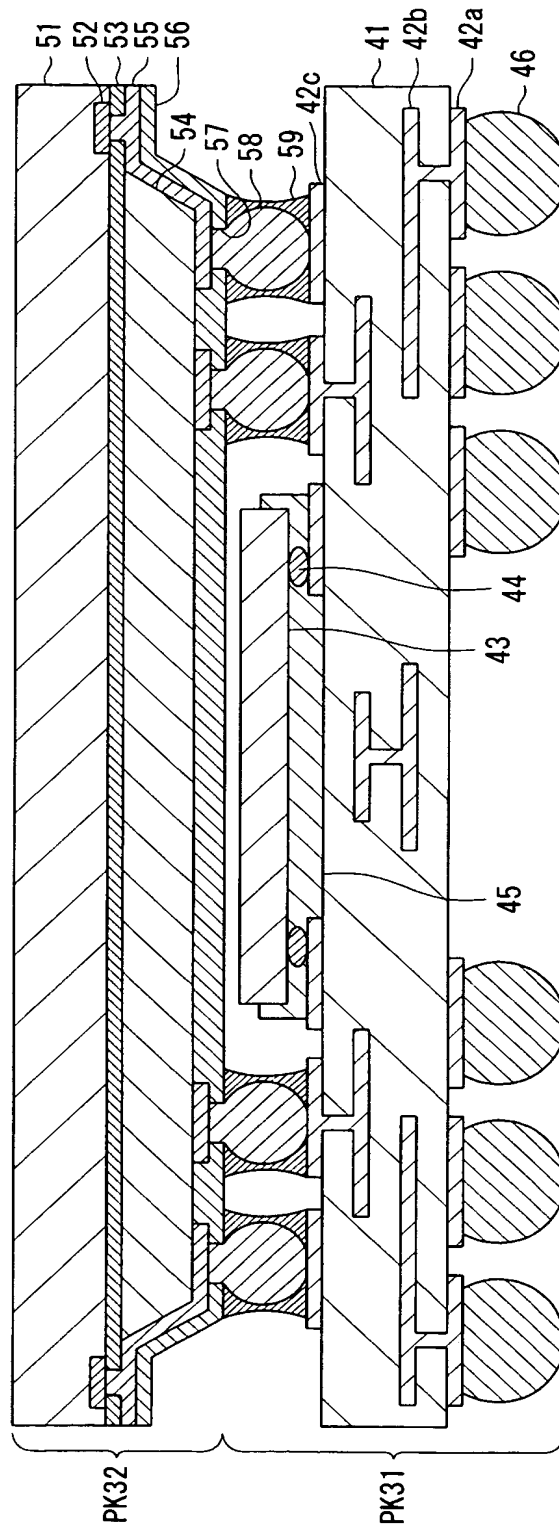
【図 2】



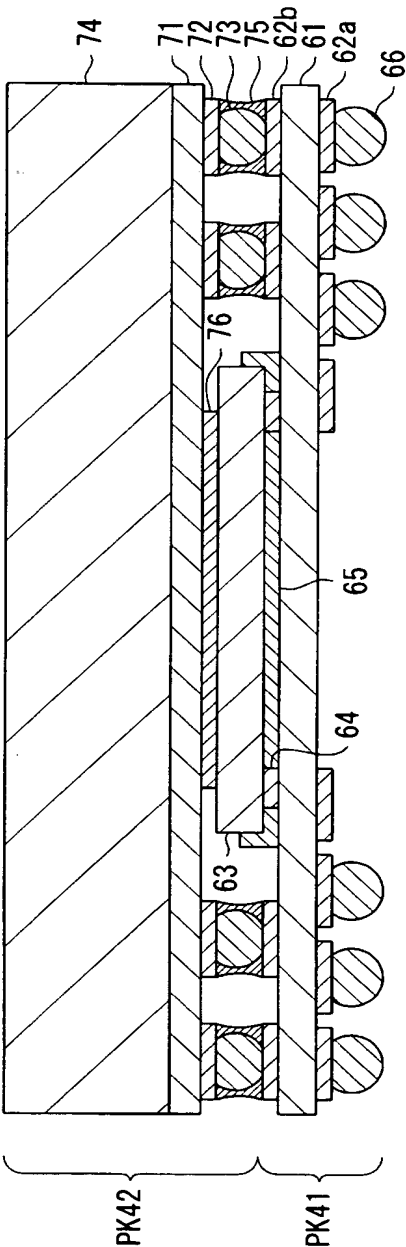
【図 3】



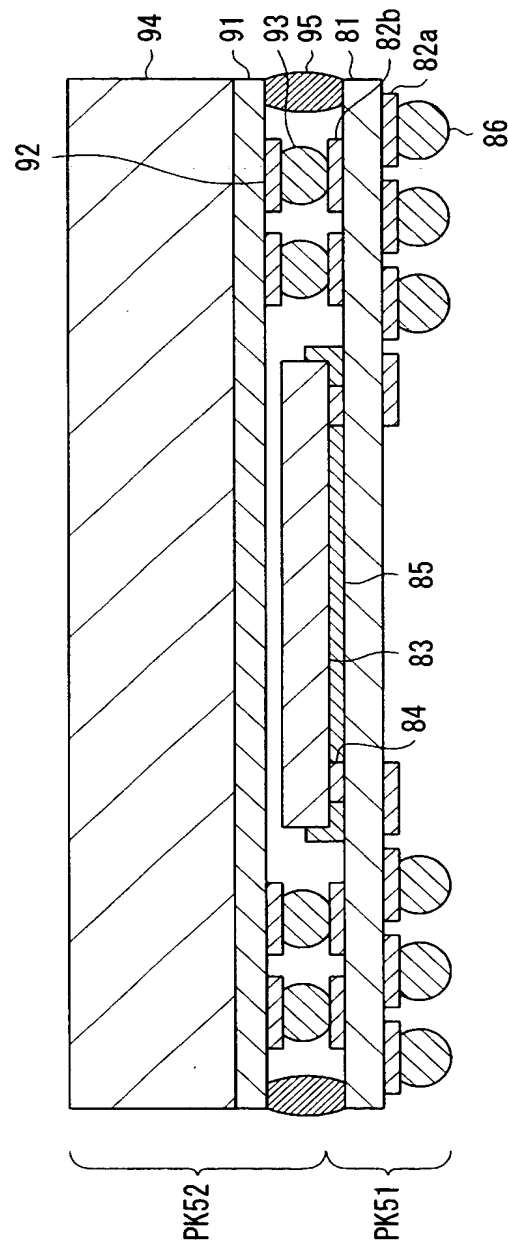
【図 4】



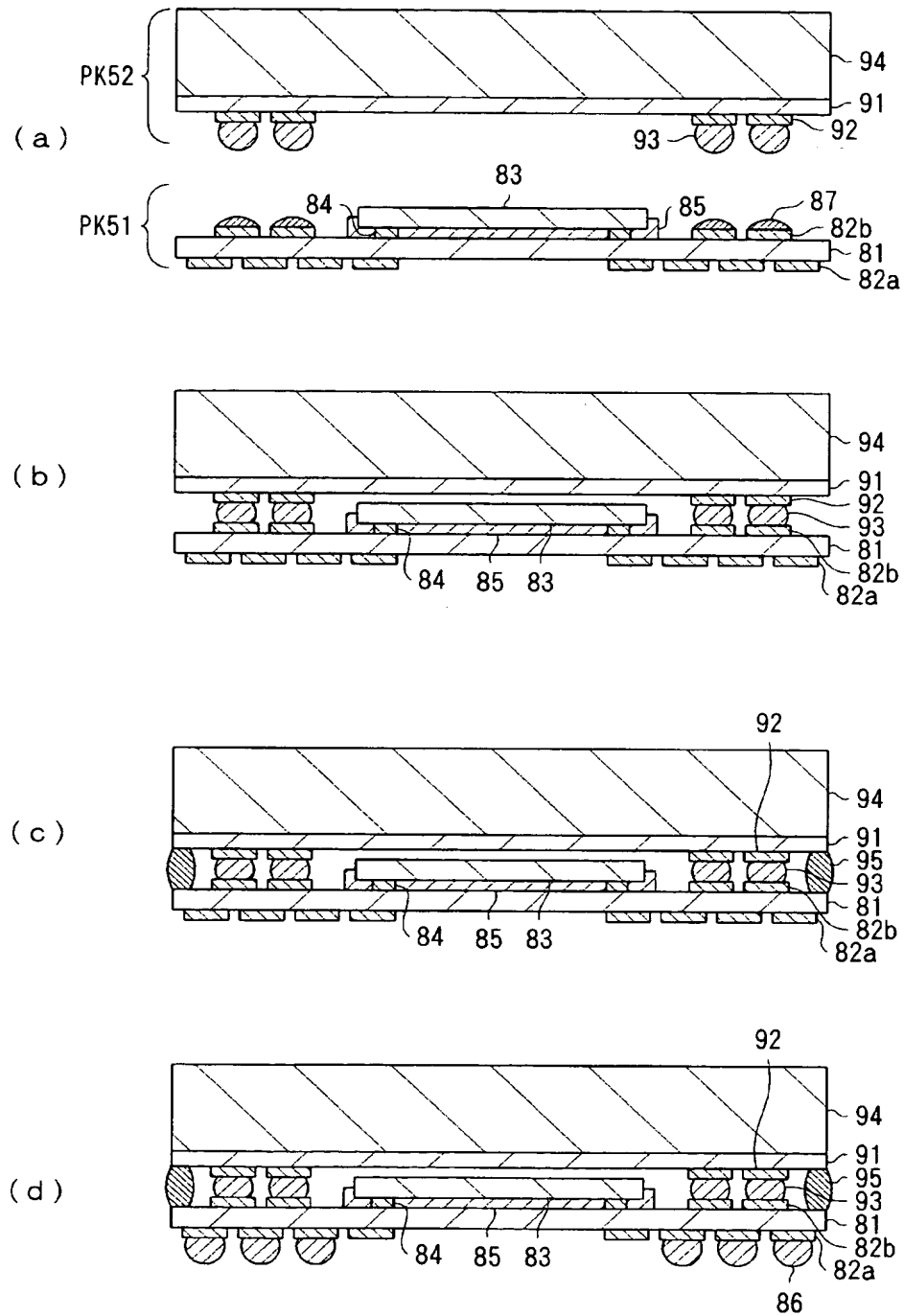
【図 5】



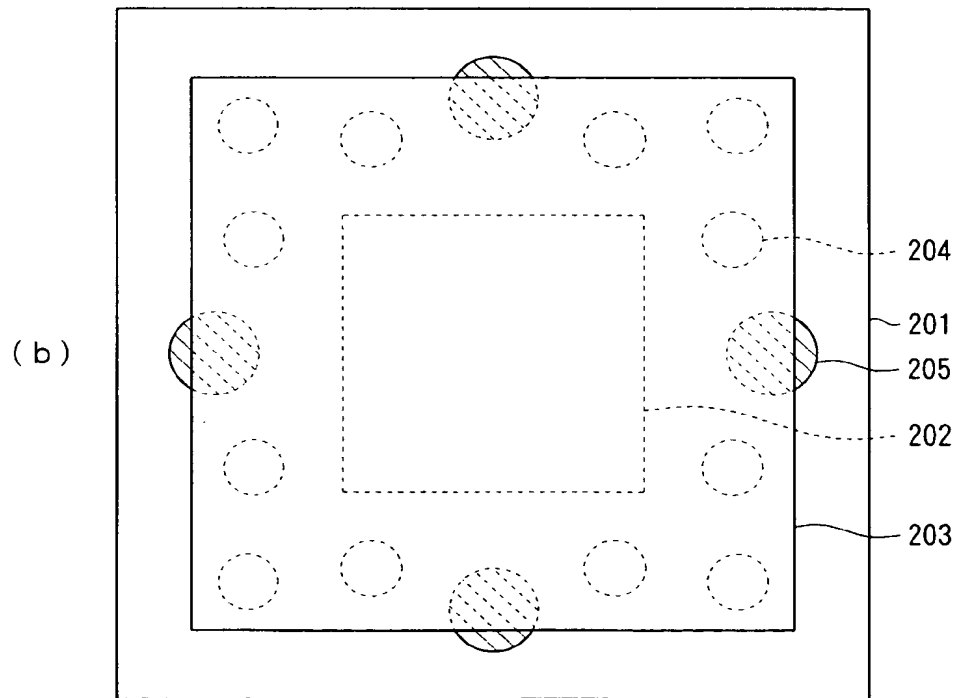
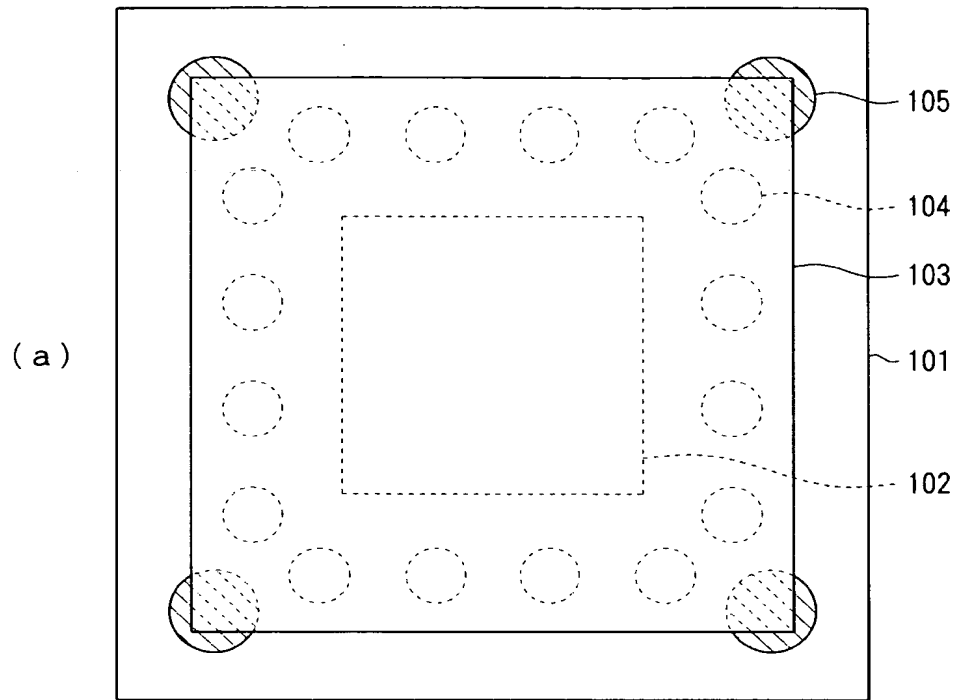
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 積層された半導体パッケージの 2 次実装時の位置ずれを防止しつつ、半導体パッケージ間の剥離を抑止する。

【解決手段】 半導体パッケージ P K 1、P K 2 は突出電極 1 3 を介して互いに接合され、半導体パッケージ P K 1、P K 2 間には、半導体チップ 3 に接触しないようにして、突出電極 1 3 に個々に接触した状態で突出電極 1 3 の周囲に樹脂 1 5 を設ける。

【選択図】 図 1

認定・付加情報

| | |
|---------|------------------|
| 特許出願の番号 | 特願 2003-145199 |
| 受付番号 | 50300853420 |
| 書類名 | 特許願 |
| 担当官 | 第五担当上席 0094 |
| 作成日 | 平成 15 年 5 月 27 日 |

<認定情報・付加情報>

【特許出願人】

| | |
|----------|------------------------|
| 【識別番号】 | 000002369 |
| 【住所又は居所】 | 東京都新宿区西新宿 2 丁目 4 番 1 号 |
| 【氏名又は名称】 | セイコーエプソン株式会社 |

【代理人】

申請人

| | |
|----------|---|
| 【識別番号】 | 100066980 |
| 【住所又は居所】 | 東京都千代田区岩本町 2 丁目 3 番 3 号 友泉岩本町ビル 8 階 日栄国際特許事務所 |
| 【氏名又は名称】 | 森 哲也 |

【選任した代理人】

| | |
|----------|---|
| 【識別番号】 | 100075579 |
| 【住所又は居所】 | 東京都千代田区岩本町 2 丁目 3 番 3 号 友泉岩本町ビル 8 階 日栄国際特許事務所 |
| 【氏名又は名称】 | 内藤 嘉昭 |

【選任した代理人】

| | |
|----------|---|
| 【識別番号】 | 100103850 |
| 【住所又は居所】 | 東京都千代田区岩本町 2 丁目 3 番 3 号 友泉岩本町ビル 8 階 日栄国際特許事務所 |
| 【氏名又は名称】 | 崔 秀▲てつ▼ |

次頁無

特願 2 0 0 3 - 1 4 5 1 9 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 0 日
新規登録

住 所
氏 名

東京都新宿区西新宿 2 丁目 4 番 1 号
セイコーエプソン株式会社